

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-34718

(43)公開日 平成5年(1993)2月12日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
1/1333	5 0 5	7348-2K		
H 0 1 L 27/12	A	8728-4M		
		9056-4M		
		H 0 1 L 29/ 78	3 1 1 A	

審査請求 未請求 請求項の数1(全 10 頁) 最終頁に続く

(21)出願番号 特願平3-187787

(22)出願日 平成3年(1991)7月26日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 宗像 昌樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 佐藤 拓生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

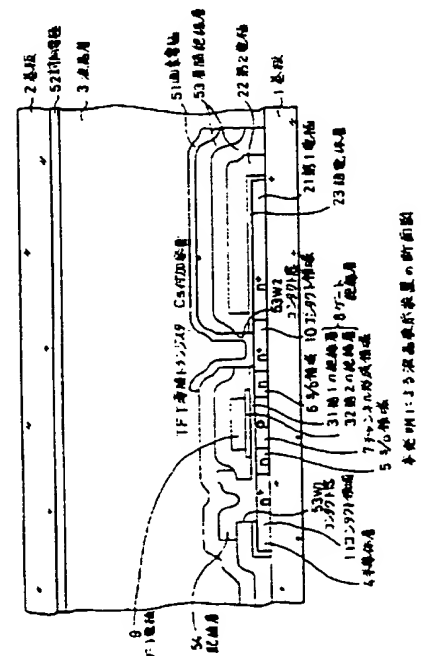
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 アクティブマトリクス液晶表示装置の各画素に対応して設けられる付加容量を小面積で大容量化して有効表示面積の増加をはかる。

【構成】 アクティブマトリクス液晶表示装置の各画素に対応して設けられる付加容量C<sub>S</sub>の誘電体層23を、各画素に対応して設けられるスイッチング用の薄膜トランジスタの、積層構造によるゲート絶縁層3の1の構成材料のみによって構成し、単位面積当りの容量を大とする。



## 【特許請求の範囲】

【請求項1】 相対向する基板と、これら基板間に配置された液晶層と、前記基板の一方にマトリクス状に配列された液晶画素の画素電極と、多層積層構造のゲート絶縁層を有し前記画素電極に接続された薄膜トランジスタとを有してなる液晶表示装置であって、

前記画素電極が配列された前記基板上には、前記薄膜トランジスタの半導体層と同一膜厚半導体層よりなる第1電極と、前記薄膜トランジスタのゲート電極と同一構成層による第2電極と、これら第1及び第2電極間に上記薄膜トランジスタの積層構造のゲート絶縁層のうちの1の構成材料層のみからなる誘電体層とを有してなり、単位面積当りの容量が上記薄膜トランジスタの容量より大とされた付加容量が形成されてなることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置、特にアクティブマトリクス液晶表示装置に係わる。

【0002】

【従来の技術】アクティブマトリクス液晶表示装置は、図5に示すようにマトリクス状に配列されたスイッチング素子61によってそれぞれの液晶画素62を駆動するようになされる。

【0003】図5において、63はその垂直走査回路、64は映像信号サンプルホールド回路を示す。

【0004】この構成において、順次スイッチング素子61をオンして、液晶画素62に電位を書き込んだ後は、その電位を所定時間保持する必要があるが、実際上スイッチング素子62としてのトランジスタはオフ時にもリーク電流が存在することから、これを補償する付加容量 $C_g$ が各画素毎に設けられる。そして、この付加容量 $C_g$ は、液晶容量より充分大きいことが必要となる。

【0005】このようなアクティブマトリクス液晶表示装置は、各画素間のクロストークの問題が改善され、精細な画像表示を行うことができることからその普及が目覚ましい。

【0006】この種の液晶表示装置は、その一例の要部の断面図を図6に示すように、例えば透過型構成を採る場合それぞれガラス、石英等の透明基板より成る相対向する基板1及び2が設けられ、一方の基板1に、各画素に対応する画素電極51が形成され、他方の基板1には、対向電極52が設けられる。

【0007】そして、これら基板1及び2間に液晶が充填された液晶層3が挟持される。

【0008】一方の基板1、例えば石英基板の内面には半導体層4が形成される。

【0009】半導体層4には、各画素のスイッチング素子61となる薄膜トランジスタTFTを構成するソース／ドレイン(S/D)領域5及び6と、これら間にチャ

ネル形成領域7が形成される。

【0010】また半導体層4のチャンネル形成領域7上には、ゲート絶縁層8が形成され、これの上にゲート電極9が被着形成される。

【0011】ゲート絶縁層8は、高耐圧化をはかる上で多層構造に形成される。例えば下層に $SiO_2$ よりなる第1の絶縁層31が形成され、これの上に例えば $Si_3N_4$ よりなる第2の絶縁層32が形成された2層以上の多層構造が採られる。

【0012】一方、基板1上の他部には薄膜トランジスタTFTの作製と同時にこれと同一工程をもって付加容量 $C_g$ が形成される。すなわち、この付加容量 $C_g$ は基板1上に形成した第1の半導体層4の一部に低抵抗領域を形成しこれを付加容量 $C_g$ を構成する一方の第1電極21とし、薄膜トランジスタTFTのゲート絶縁層8を構成する第1及び第2の絶縁層31及び32を付加容量 $C_g$ を構成する誘電体層23として構成し、これの上にゲート電極9の形成と同時に形成した付加容量 $C_g$ を構成する第2の電極22を構成するようになされている。

【0013】この構成による液晶表示装置の製造方法を図7～図10に示す各工程における断面図を参照して詳細に説明する。

【0014】図7Aに示すように、例えば石英よりなる基板1上にLPCVD(低压化学的气相成長)法によって例えば厚さ800Åに多結晶シリコンによる第1の半導体層4を形成する。これに全面的にSiのイオン注入を行い、更に、全面的にチャンネル形成領域7を形成する第1導電型例えばp型不純物B(ボロン)をドーピングする。その後、この半導体層4を、例えば最終的に形成する薄膜トランジスタTFT、付加容量 $C_g$ 、これらの連結部、さらに他との連結部等を残し不要部分特に液晶表示を行う有効画素部分に意あけをなしたフォトリソリット101を被着する。

【0015】次に、このフォトリソリット101をマスクに図7Bに示すように、選択的にエッチングして所要のパターンとする。

【0016】そして、図7Cに示すようにこの半導体層4の表面を例えば厚さ500Åに熱酸化して $SiO_2$ よりなる第1の絶縁層31を形成する。

【0017】次に、図8Aに示すように、イオン注入マスク層となる例えばフォトリソリット101を、最終的に薄膜トランジスタTFTの形成部上に形成し、これをイオン注入マスクとして第2導電型の例えばn型の低濃度の領域を例えば $As$ の $5 \times 10^{14} \text{ cm}^{-2}$ のドーピングのイオン注入によって形成し、付加容量 $C_g$ の第1の電極を形成する。

【0018】次に、図8Bに示すように第1の絶縁層31を、全面的 $Si_3N_4$ をLPCVDによって例えば300Åの厚さに形成する。そして図示しないが更に必

要に応じてその表面を熱酸化して第3の絶縁層とする $\text{SiO}_2$ 層を形成する。

【0019】図8Cに示すように、薄膜トランジスタTFTのゲート電極9、付加容量 $C_S$ の第2電極22等を形成する第2の半導体層、例えば多結晶シリコン層103をPL-CVD等によって例えば3500Åの厚さをもって形成し、これに例えばりんシリケートガラスを被着形成して拡散させ、第2の半導体層103を低比抵抗化する。

【0020】その後、図9Aに示すように、りんシリケートガラスをエッチング除去し、第2の半導体層103上に所定のパターンのフォトレジスト104を形成する。

【0021】図9Bに示すように、このレジスト104をマスクにして、第2の半導体層103をパターンエッチングして、薄膜トランジスタTFTのゲート電極9と、付加容量 $C_S$ の第2電極22等を形成する。

【0022】次にゲート電極9とこれの上のレジスト104をマスクとして第2導電型の例えばn型不純物Asを $1 \times 10^{12} \text{ cm}^{-2}$ にイオン注入して低濃度S/D領域5及び6を形成し、これら間に第1導電型例えばp型のチャンネル形成領域7を画成する。

【0023】次に図10Aに示すように、ゲート電極9等を形成する第2の半導体層103上に、特にゲート電極9の両側から所要の幅 $W_s$ だけ大なる幅をもってフォトレジスト105を形成し、これをマスクとして第2の絶縁層の $\text{Si}_3\text{N}_4$ をエッチングする。

【0024】図10Bに示すように、最終的に薄膜トランジスタTFTの低比抵抗コンタクト領域10及びすなわち、ソース及びドレインの高濃度領域を、第2導電型例えばn型の不純物Asを $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量をもってイオン注入して形成する。

【0025】その後、フォトレジスト106を除去し、図6に示すように、例えばPSG（りんシリケートガラス）より成る層間絶縁層53を全面的に例えばCVDによって形成し、コンタクト領域11上にコンタクト窓53W1を穿設し、これを通じて領域11にオーミックに接触してA1等の導電層を全面的に蒸着、スパッタ等によって形成した後、例えばフォトリソグラフィによるパターンエッチングを行って信号線となる配線層54を形成する。

【0026】また、全面的に同様の層間絶縁層53を形成し、コンタクト領域10上にコンタクト窓53W2を穿設し、これを通じて例えばITOより成る透明導電層をスパッタ等によって全面的に形成し、これを例えばフォトリソグラフィによるパターンエッチングを行って液晶の画素電極51を薄膜トランジスタTFTの一方のS/D領域6に接続して形成する。

【0027】そして、これの上に全面的にポリイミド等より成る配向層（図示せず）を形成する。また、同様に

ITO等より成る対向電極52を有する他方の基板2の内面に全面的に同様の配向層（図示せず）を形成して両基板1及び2間に液密空間を形成し、此处に液晶を充填して液晶層3を形成する。

【0028】上述したように、通常の液晶表示装置においては、その薄膜トランジスタTFTのゲート耐圧を上げるためにそのゲート絶縁層8は多層構造、すなわち例えば $\text{SiO}_2$ の第1の絶縁層31、 $\text{Si}_3\text{N}_4$ の第2の絶縁層32との少くとも2層以上の構成とするものであって、また付加容量 $C_S$ における誘電体層23としてのすなわち第1電極21と第2電極22間に介在させる絶縁層もトランジスタのTFTのゲート絶縁層8と同一工程で形成されるために、ゲート絶縁層8の多層構造に対応する多層構造、図示の例では $\text{SiO}_2$ - $\text{Si}_3\text{N}_4$ の2層構造に形成されて比較的大なる厚みを有することから、この付加領域 $C_S$ の単位面積当りの容量が充分大となされていない。このため、この付加容量 $C_S$ の容量を大とするには、その占有面積が大となってその分同一面積内における有効液晶表示面積が縮小化されるということになる。

【0029】

【発明が解決しようとする課題】本発明は、上述した液晶表示装置において、その付加容量 $C_S$ の単位面積当りの容量の増大化をはかり、これによって付加容量 $C_S$ の占有面積の縮小化をはかって液晶の有効表示面積の増加をはかる。

【0030】

【課題を解決するための手段】本発明においては、図1に示すように相対向する基板1及び2と、これら基板1及び2間に配置される液晶層3と、基板1及び2の一方の基板例えば基板1にマトリクス状に配列された液晶画素の画素電極51と、多層構造のゲート絶縁層8を有し、画素電極51に接続された薄膜トランジスタTFTとを有してなる液晶表示装置を構成するものであるが、特に本発明においては、画素電極51が配列された基板1上に薄膜トランジスタTFTの半導体層すなわちチャンネル形成領域7、ソース/ドレイン（S/D）領域5、及び6とを形成する半導体層4によって、すなわちこの半導体層と同時に形成された同一半導体層よりなる第1の電極21と、薄膜トランジスタTFTのゲート電極9と同一構成層による第2の電極22と、これら第1及び第2の電極間に、薄膜トランジスタTFTの積層構造によるゲート絶縁層8のうちの特に1の構成材料層例えば第2の絶縁層32のみを誘電体層23とする付加容量 $C_S$ を構成して単位面積当りの容量が大なる付加容量 $C_S$ を構成する。

【0031】

【作用】上述の本発明構成によれば、付加容量 $C_S$ に関しては薄膜トランジスタTFTのゲート絶縁層8を構成する単一絶縁層によって構成したので、その厚さを充分

小とすることができ、したがって単位面積当りの容量を増大できることからこの付加容量の面積の縮小化をはかることができ、したがってこれによって同一面積においては、有効液晶表示部の面積の増大化をはかることができる。

#### 【0032】

【実施例】本発明による液晶表示装置の一例を、図1の断面図を参照して説明する。図1において、図6と対応する部分に同一符号を付して示す。この場合においても、それぞれガラス、石英等の透明基板より成る相対向する基板1及び2が設けられ、一方の基板1に、各画素に対応する画素電極51が形成され、他方の基板1には、対向電極52が設けられる。

【0033】そして、これら基板1及び2間に液晶が充填された液晶層3が挟持される。

【0034】一方の基板1、例えば石英基板の内面には第1の半導体層4が形成される。

【0035】半導体層4には、各画素のスイッチング素子61となる薄膜トランジスタTFTを構成するソース／ドレイン(S/D)領域5及び6と、これら間にチャンネル形成領域7が形成される。

【0036】また半導体層4のチャンネル形成領域7上には、ゲート絶縁層8が形成され、これの上にゲート電極9が被着形成される。

【0037】ゲート絶縁層8は、例えば下層に $\text{SiO}_2$ よりなる第1の絶縁層31が形成され、これの上に例えば $\text{Si}_3\text{N}_4$ よりなる第2の絶縁層32が形成され、更に図示しないがこの第2の絶縁層32の表面を酸化させた $\text{SiO}_2$ より成る第3の絶縁層が形成された2層以上の多層構造が採られる。

【0038】一方、基板1上の他部には、薄膜トランジスタTFTの作製と並行して同時にこれと同一工程をもって付加容量 $C_s$ が形成される。すなわち、この付加容量 $C_s$ は基板1上に形成した半導体層4の一部に低比抵抗領域を形成しこれを付加容量 $C_s$ を構成する一方の第1電極21とする。

【0039】しかしながら本発明においては、薄膜トランジスタTFTのゲート絶縁層8を構成する多層の絶縁層のうちの1つの絶縁層のみによって、例えば下層の絶縁層31のみによって付加容量 $C_s$ を構成する誘電体層23を構成する。そして、これの上にゲート電極9の形成と同時に形成した付加容量 $C_s$ を構成する第2の電極22を構成するようになされている。

【0040】次に、この構成による液晶表示装置の製造方法の一例を、図2～図4に示す各工程における断面図を参照して詳細に説明する。本発明装置の製造においても、図2A～Cで各工程順を示すように、図7A～Cと同様の工程を採る。

【0041】すなわち、図2Aに示すように、例えば石英よりなる基板1上にLPCVD(低压化学的気相成

長)法によって例えば厚さ800Åに多結晶シリコンによる半導体層4を形成する。これに全面的に $\text{Si}$ のイオン注入を行い、更に全面的にチャンネル形成領域7を形成する第1導電型例えばp型不純物B(ボロン)をドーピングする。その後、この半導体層4を、例えば最終的に形成する薄膜トランジスタTFT、付加容量 $C_s$ 、これらの連結部、さらに他との連結部等を残し不要部分特に液晶表示を行う有効画素部分に意あけをなしたフォトレジスト101を被着する。

【0042】次に、このフォトレジスト101をマスクに図2Bに示すように、選択的にエッチングして所要のパターンとする。

【0043】そして、図2Cに示すように、この半導体層4の表面を例えば厚さ500Åに熱酸化して $\text{SiO}_2$ よりなる第1の絶縁層31を形成する。

【0044】しかしながら、本発明装置を作製する場合は、次に、図3Aに示すように、図8Aで説明した第1電極21を形成するイオン注入工程に先立って例えばCVDによって300Åの厚さの $\text{Si}_3\text{N}_4$ を全面的に成膜して第2の絶縁層32を形成する。

【0045】次に、本発明においては、図3Bに示すように、イオン注入マスク層となる例えばフォトレジスト102を、最終的に形成する薄膜トランジスタTFTのチャンネル形成領域7とその両側の低濃度のS/D領域5及び6の形成部上に選択的に形成する。そして、このレジスト102をイオン注入マスクとして第2導電型例えばn型の不純物Asを $5 \times 10^{14} \text{cm}^{-2}$ のドーズ量でイオン注入して半導体層4の一部に付加容量 $C_s$ の第1電極21を形成する。

【0046】つまり、本発明においては、付加容量 $C_s$ の形成部の第2の絶縁層32をエッチング除去する。このエッチングは、第2の絶縁層32が、例えば $\text{Si}_3\text{N}_4$ で、下層の例えば $\text{SiO}_2$ より成る第1の絶縁層とはエッチング液の異なる材料によって構成されることによって、容量 $C_s$ の形成部において第1の絶縁層31を残して第2の絶縁層32のみをエッチングすることができる。

【0047】そして、この場合、前述した従来装置の製法では、図8Aで説明したように、 $\text{Si}_3\text{N}_4$ 層による第2の絶縁層32の形成前に第1電極21の形成のためのイオン注入を行っているが、これはこのイオン注入によって $\text{Si}_3\text{N}_4$ 層の絶縁性を低下させるという考慮によるものであるが、本発明においては、付加容量 $C_s$ においては、差程大なる電圧印加はなされず此処における絶縁層は、誘電体層32としての膜厚の縮小化のためにこれを排除するというものであり、さらにこのことから、前述したように図3Bの工程で第1電極21を形成するためのイオン注入工程を行う。

【0048】次に、図3Cに示すように、薄膜トランジスタTFTのゲート電極9、付加容量 $C_s$ の第2電極22

2等を形成する第2の半導体層、例えば多結晶シリコン層103をPL-CVD等によって例えば3500Åの厚さをもって形成し、これに例えばりんシリケートガラスを被着形成して拡散させ、第2の半導体層103を低比抵抗化する。

【0049】その後、図4Aに示すように、第2の半導体層103上に、その薄膜トランジスタTFTのゲート電極の形成部と、付加容量 $C_s$ の第2電極の形成部にフォトレジスト104を形成し、これをマスクとして半導体層104をエッチングして、薄膜トランジスタTFTのゲート電極9と、付加容量 $C_s$ の第2電極22を形成する。

【0050】次にゲート電極9とこれの上のレジスト104をマスクとして第2導電型の例えばn型不純物Asを $1 \times 10^{12} \text{ cm}^{-2}$ にイオン注入して低濃度S/D領域5及び6を形成し、これら間に第1導電型例えば、p型のチャンネル形成領域7を画成する。

【0051】ここに、ゲート電極9の幅は、先に形成したこれの下ゲート絶縁層としての第2の絶縁層32の側縁より所要の幅 $W_s$ だけ内側となるように選定される。これは、ゲート電極9のソース及びドレイン側の側縁下に第2の絶縁層32が残存されて、最終的に得る薄膜トランジスタTFTにおいてゲート及びソース・ドレイン間の耐圧が保持されるようにすることにある。

【0052】次に、図4Bに示すように、ゲート電極9等を形成する第2半導体層103上に、その両側から所要の幅だけ大なる幅をもってフォトレジスト105を形成し、これをマスクとして、最終的に薄膜トランジスタTFTの低比抵抗コンタクト領域10及び11、すなわち、ソース及びドレインの高濃度領域を、第2導電型例えばn型の不純物Asをこの場合は図10Bで説明した $2 \times 10^{15} \text{ cm}^{-2}$ より低いドーズ量の $1.5 \times 10^{14} \text{ cm}^{-2}$ をもってイオン注入して形成する。

【0053】このように低ドーズ量にするのはこの領域10及び11においては、先に図3Bで示した第1電極21の形成においても、例えば $5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量のイオン注入がなされていて実質的に両者のイオン注入の和の $2.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量のイオン注入がなされることに因る。

【0054】そして、このように、この図4Bのイオン注入量を小さくできるということは、イオン注入時間の短縮化がはかれることになる。

【0055】その後、フォトレジスト105を除去し、図1に示すように図6で前述したと同様に例えばPSG（りんシリケートガラス）より成る層間絶縁層53を全面的に例えばCVDによって形成し、コンタクト領域11上にコンタクト窓53W<sub>2</sub>を穿設し、これを通じて領域11にオーミックに接触してA<sub>1</sub>等の導電層を全面的に蒸着、スパッタ等によって形成して後、例えばフォトリソグラフィによるパターンエッチングを行って信号線

となる配線層54を形成する。

【0056】また、全面的に同様の層間絶縁層53を形成し、コンタクト領域10上にコンタクト窓53W<sub>1</sub>を穿設し、これを通じて例えばT<sub>1</sub>より成る透明導電層をスパッタ等によって全面的に形成し、これを例えばフォトリソグラフィによるパターンエッチングを行って液晶の画素電極51を薄膜トランジスタTFTの一方のS/D領域6に接続して形成する。

【0057】そして、これの上に全面的にホリイミド等より成る配向層（図示せず）を形成する。また、同様にITO等より成る対向電極52を有する他方の基板2の内面に全面的に同様の配向層（図示せず）を形成して両基板1及び2間に液晶空間を形成し、此处に液晶を充填して液晶層3を形成する。

【0058】上述した本発明によるアクティブマトリクス液晶表示装置を製造する製造方法を説明したところから明らかなように、本発明構成によればその付加容量 $C_s$ を構成する誘電体層23としての絶縁層は薄膜トランジスタTFTのゲート絶縁層8を構成する1の絶縁層すなわち第2の絶縁層32のみによって構成するもので、特段に誘電体層23を形成する工程を設ける必要がないのみならず、従来装置では図7～図10で示されるように、例えばフォトレジスト101、102、104、105、106の5工程で存在するが、本発明装置では、フォトレジスト101、102、104、105の4工程を採るものであり、これからも明らかなように、その製造工程数はむしろ減少している。

【0059】尚、上述の工程において、例えば周辺回路等にC-MOSが形成される場合は、従来と同様に適当な工程中に、他のチャンネル導電型のトランジスタのソース/ドレイン領域等の形成工程が導入される。

【0060】

【発明の効果】上述したように、本発明構成では、例えば、スイッチング素子の薄膜トランジスタにおいては、そのゲート絶縁層8が多層構造とされて耐圧の向上がはかられているが、耐圧が差程問題とならない付加容量 $C_s$ の誘電体層23としてはゲート絶縁層8を構成する絶縁層の1層のみによって構成されることから、誘電体層23の厚さは小となり、単位体積当りの容量の増大化をはかることができる。

【0061】したがって一定面積内で同じ容量値を得るのに、その占有面積の縮小化がはかられ、これによって液晶表示に用いることのできる有効面積を大とすることができることになる。

【0062】また、本発明構成によれば、上述した製法を採ることができることから、前述したように工程数の低減化と、イオン注入時間の短縮化とがはかられることによって量産性の向上をはかることができる。

【図面の簡単な説明】

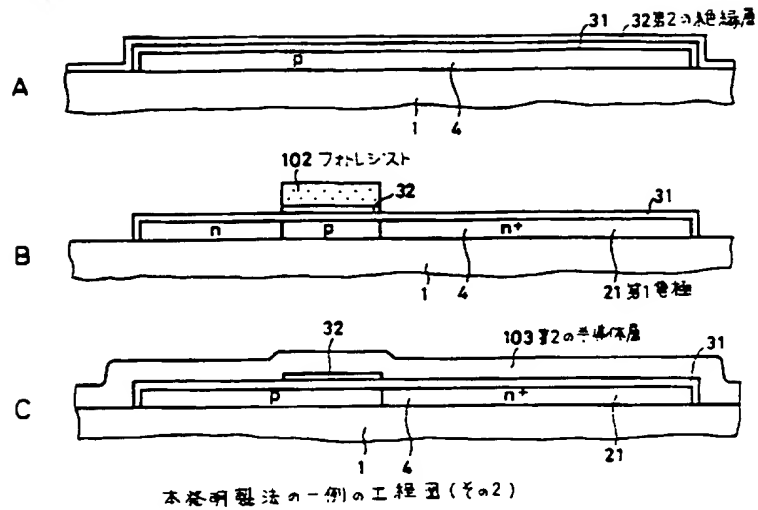
【図1】本発明による液晶表示装置の一例の断面図であ

【図２】本発明装置の一例の一部製造工程図である。  
 【図３】本発明装置の一例の一部製造工程図である。  
 【図４】本発明装置の一例の一部製造工程図である。  
 【図５】アクティブマトリクス液晶表示装置の回路構成図である。

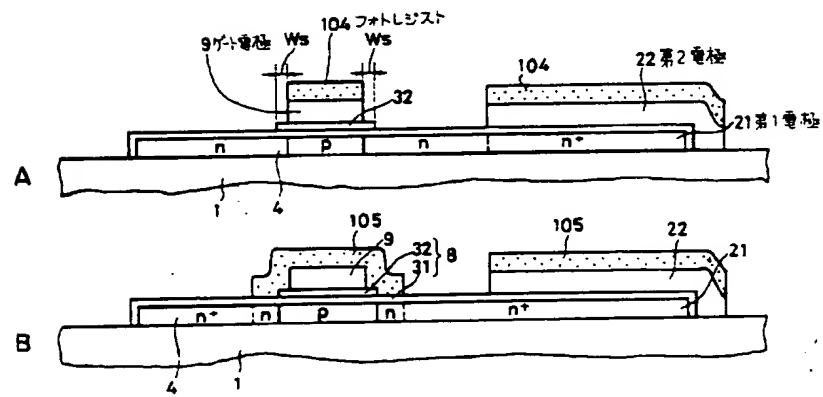
- 1 基板
- 2 基板
- 3 液晶層
- 4 半導体層
- C<sub>S</sub> 付加容量
- 2 1 第1電極
- 2 2 第2電極
- TFT 薄膜トランジスタ
- 3 1 第1の絶縁層
- 3 2 第2の絶縁層
- 8 ゲート絶縁層
- 9 ゲート電極

本発明製法の一例の工程図(その1)

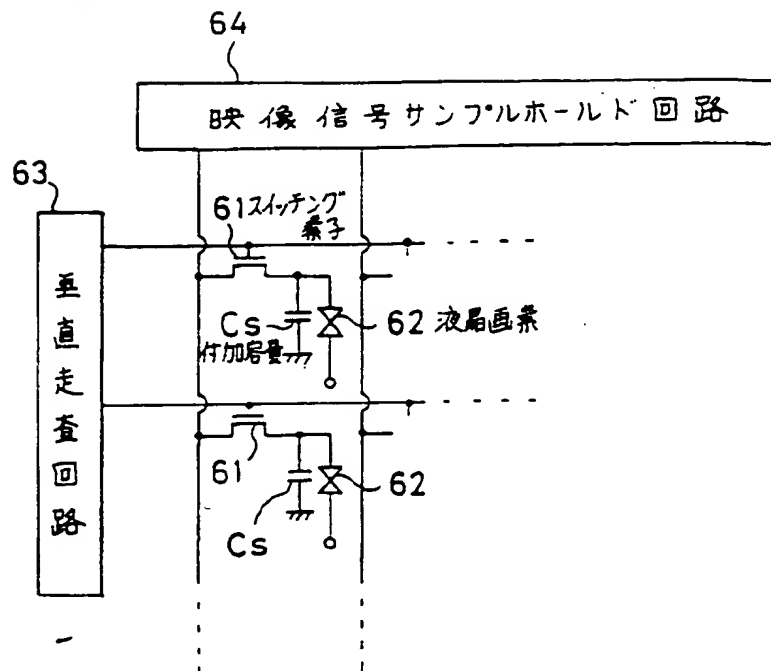
【図3】



【図4】

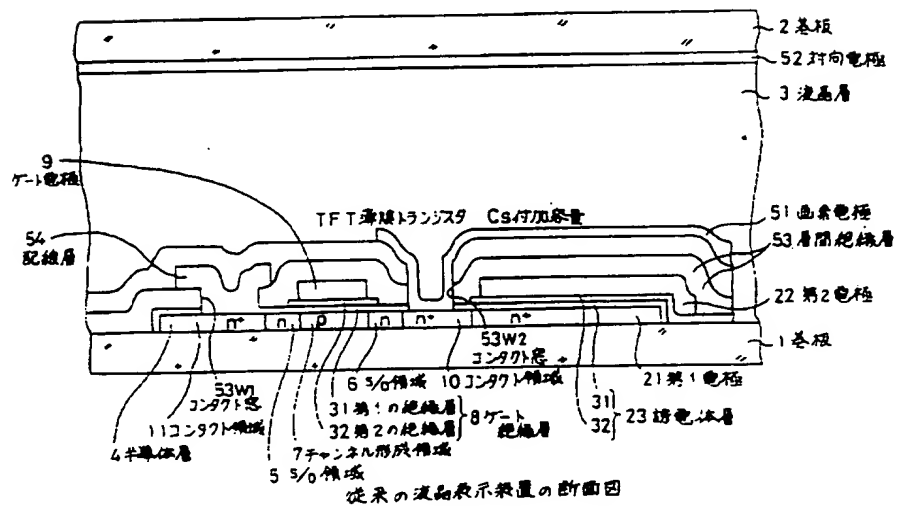


【図5】



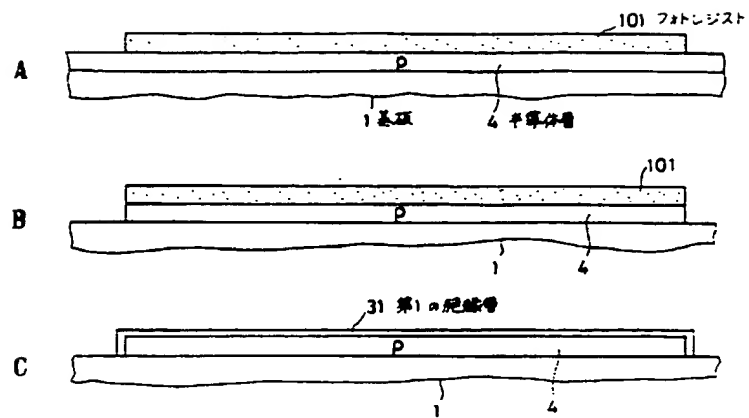
液晶表示装置の構成図

【図6】



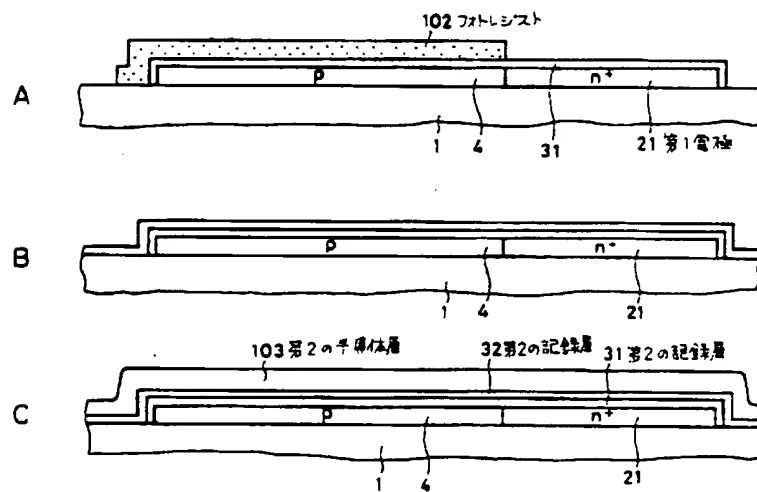


【図7】



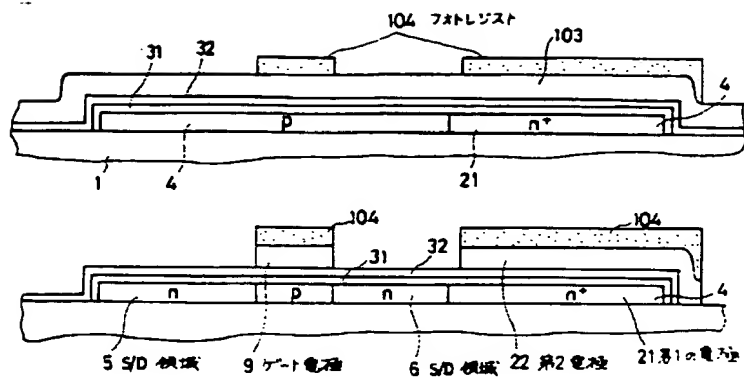
従来装置の製造の一例の工程図 (その1)

【図8】



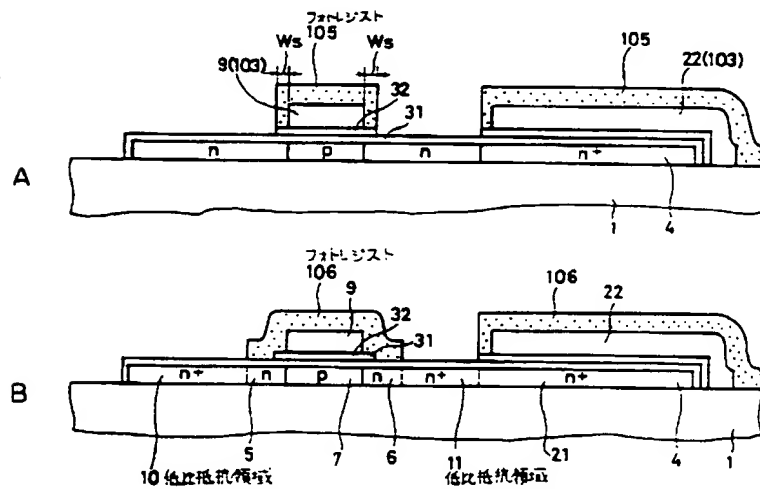
従来装置の製造の一例の工程図 (その2)

〔図9〕



従来装置の製造の一例の工程図 (その3)

〔図10〕



従来装置の製造の一例の工程図 (その4)

フロントページの続き

(51) Int. Cl. 5

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所